

Analisis Kecepatan Switching IC TTL AOI Terhadap Nilai Optimal Karakteristik β_f

Syaiful Rachman¹, Saberan²

Abstract—This study analyzes the speed of propagation time performance capabilities of the integrated circuit type of standard Dual 3-Wide 3-Input TTL IC AOI on the characteristic levels of forward common emitter current gain (β_f). Simulation is carried out using SPICE software with capacitor load (C_L) of 15 pf and levels of forward common emitter current gain (β_f) are 5, 10, and 15. The simulation results show that t_{PLH} (transition low to high), t_{PHL} (transitions high to low), and mean time propagation produced differ for each β_f . A propagation time of 1.59ns is obtained for β_f of 5, slower than β_f performance of 10, which is 1.53ns. Furthermore, β_f performance with a value of 15 is 1.50ns, faster than others'. But this β_f has greater power dissipation, which is 29 mW. Power dissipation produced by β_f of 10 is 27 mW, and β_f of 5 produced 26 mW. Therefore, IC designing must consider the characteristic level of the forward common emitter current gain (β_f) value. Higher β_f values produce larger power dissipation.

Intisari—Paper ini menganalisis kemampuan kecepatan *propagation time* kinerja dari rangkaian jenis *standard Dual 3-Wide 3-Input TTL AOI IC* terhadap karakteristik *forward common emitter current gain* (β_f). Simulasi dilakukan menggunakan program SPICE dengan kapasitor beban (C_L) sebesar 15 pf dengan tingkat karakteristik *forward common emitter current gain* (β_f) yang berbeda meliputi 5, 10, dan 15. Hasilnya, terjadi perbedaan t_{PLH} (*transisi low to high*), t_{PHL} (*transisi high to low*) dan waktu rerata propagasi yang dihasilkan. Untuk kondisi kinerja β_f sebesar 5 diperoleh kecepatan waktu propagasi 1.20ns, semakin lambat dibandingkan kondisi kinerja β_f sebesar 10 dengan hasil 1.16ns. Selanjutnya, kinerja β_f dengan nilai 15 diperoleh 1.12ns lebih cepat dibandingkan lainnya, tetapi disipasi daya yang dihasilkan lebih besar yakni 27.6mW, dibandingkan β_f sebesar 10 yaitu 18.9 mW, dan pada β_f sebesar 5 diperoleh 10.2 mW. Hasil tersebut menunjukkan bahwa perancangan harus memperhatikan tingkat karakteristik *forward common emitter current gain* (β_f). Nilai yang terlalu tinggi akan mengakibatkan disipasi daya yang besar.

Kata Kunci— IC TTL AOI, β_f , *Propagation Delay*.

I. PENDAHULUAN

Rangkaian terpadu TTL AOI (AND OR INVERTER) *Dual 3-wide 3-input* adalah gabungan gerbang logika digital yang terdiri atas gerbang logika AND dan gerbang logika OR serta INVERTER.

¹ Dosen, Jurusan Teknik Elektronika, Politeknik Negeri Banjarmasin, Jln. H.Hasan Basri (komp. UNLAM), Banjarmasin, INDONESIA (telp: 081348000057; e-mail: syaifulrachman1@gmail.com)

² Dosen, Jurusan Teknik Informatika, Politeknik Negeri Banjarmasin, Jln. H.Hasan Basri (komp. UNLAM), Banjarmasin, INDONESIA

Kecepatan operasi gerbang digital diukur berdasarkan parameter waktu propagasi yaitu transisi *low to high* (t_{PLH}), transisi *high to low* (t_{PHL}), *fall time* (t_R), *rise time* (t_F), dan *propagation delay average* (t_{PD}). Parameter-parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi[1]. Rangkaian terintegrasi (IC) standar TTL NAND *gate* telah dirancang oleh Rashid dalam[1]. Penelitian lain dilakukan oleh Lee, Singh, dan Cooper menggunakan IC standar *inverter* TTL pada tahun 2008 dengan area emitor aktif 0,0105 mm², panjang emitor (L_E) sebesar 100 μ m dan 500 μ m, serta *Common Emitter Gain* (β_F) sebesar 22 dan 17[2]. Penelitiannya menggunakan sumber tegangan sebesar 15 Volt, menghasilkan t_{PLH} sebesar 98 ns, t_{PHL} sebesar 114 ns, dan rata-rata *time propagation delay* sebesar 108 ns. Pada tahun 2011 Singh dan Cooper [3] mengoptimalkan rangkaian dengan *inverter* STTL dengan luasan panjang emitor sebesar 125 μ m dan diperoleh kecepatan *propagation delay* sebesar 9,8 ns. Penelitian disimulasikan menggunakan program SPICE.

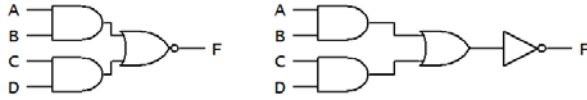
Penelitian-penelitian sebelumnya tidak menjelaskan perhitungan secara teoretis rangkaian TTL yang akan mempengaruhi kinerja dari waktu propagasi selama kondisi transisi *low* ke *high* (t_{PLH}), sedangkan rangkaian TTL pada bagian rangkaian aktif *pull-up* terkait dengan peningkatan arus rata-rata dari *output* yang dihasilkan mengakibatkan transisi waktu propagasi dari *high* ke *low* (t_{PHL}) lebih lama, sehingga akan mempengaruhi waktu propagasi rata-rata dari IC TTL terhadap karakteristik β_f . Berdasarkan penjelasan yang telah dikemukakan, dengan tujuan yang dicapai dalam penelitian ini diperoleh kemampuan kinerja dari IC standar jenis *standard Dual 3-Wide 3-Input TTL AOI*, dengan menganalisis kinerja rangkaian menggunakan perhitungan dan membandingkan hasil simulasi sehingga dapat ditentukan nilai *propagation delay* yang lebih optimal dalam perancangan IC terhadap karakteristik β_f yang akan didesain dalam rangkaian TTL AOI.

II. LANGKAH-LANGKAH SIMULASI

Langkah yang pertama dilakukan dalam perancangan sistem ini adalah menentukan spesifikasi rangkaian standar TTL AOI dengan konfigurasi IC *Dual 3-Wide 3-Input*. Selanjutnya ditentukan nilai resistor yang akan digunakan, lalu dilakukan simulasi dengan Multisim 8.0. Isyarat *output* berhasil terbaca dengan cara memberikan *input* logika 1/0. Hasil desain disimulasikan dengan program SPICE, meliputi V_{OH} , V_{OL} , V_{IH} , V_{IL} , t_{PLH} , t_{PHL} , t_{PD} , dan P_D . Kemudian hasil tersebut dibandingkan dengan analisis perhitungan.

III. DESAIN SISTEM

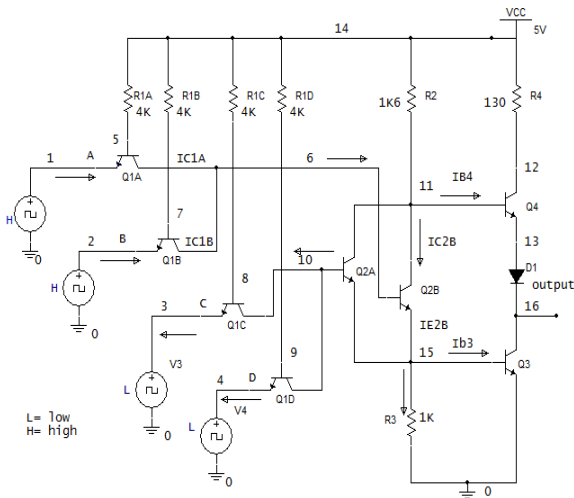
Gerbang logika AOI merupakan gabungan gerbang logika yang terdiri atas: gerbang logika AND, OR, dan inverter atau NOR, seperti ditunjukkan pada Gbr. 1.



Gbr. 1 Gerbang logika AOI [9].

Fungsi logika TTL AOI yaitu jika input A dan B atau input C dan D berkondisi high (1), maka output Y berlogika low (0), dan lainnya adalah berlogika high (1).

Tahap desain rangkaian standar TTL AOI yang menggunakan transistor bipolar jenis NPN sebagai acuan dengan satu gerbang rangkaian ekuivalen gerbang logika TTL AOI ditunjukkan pada Gbr. 2. Kemudian spesifikasi parameter desain rangkaian ditunjukkan pada Tabel I.



Gbr. 2 Rangkaian ekuivalen standar TTL AOI.

TABEL I
SPESIFIKASI PARAMETER RANGKAIAN

Spesifikasi	Nilai	Satuan
V _{CC}	5	V
V _{OH}	3,5	V
I _{IH}	67,5	μA
V _{BE}	0,7	V
V _{BE(SAT)}	0,8	Ω
V _{CE(SAT)}	0,1	V
V _D	0,7	V
β _R	0,1	
β _F	5,10,15	
I _{BR}	750	μA

Cara kerja rangkaian pada Gbr. 2 adalah jika pada input A dan B high, lainnya low, seperti ditunjukkan pada Gbr. 2. Emitor transistor Q_{1C} dan Q_{1D} mendapat tegangan forward bias, sehingga mendorong arus kolektor transistor Q_{1C} dan Q_{1D} saturasi, dan menyebabkan transistor Q_{2A} tidak bekerja. Sedangkan pada transistor Q_{1A} dan Q_{1B}, kedua emitor dalam

keadaan reverse bias, kemudian antara basis dan kolektor mendapat forward bias, sehingga Q_{2B} dan Q₃ mengalami saturasi. Transistor Q₄ tidak bekerja (cut-off), sehingga kondisi output low, maka arus basis I_{B1A} dihitung dengan (1).

$$I_{B1A} = \frac{V_{CC} - V_{BE2B(sat)} - V_{BE3(sat)} - V_{BC1A}}{R_{1A}} \quad (1)$$

Kemudian diperoleh arus basis transistor Q_{2B} dengan (2).

$$I_{B2B} = (1 + \beta_R)I_{B1A} + (1 + \beta_R)I_{B1B} \quad (2)$$

Arus kolektor, I_{C2B} didapatkan dari (3).

$$I_{C2B} = \frac{V_{CC} - V_{BE3(SAT)} - V_{CE2(SAT)}}{R_2} \quad (3)$$

Arus emitor dari transistor Q_{2B}, I_{E2B} diperoleh dari penjumlahan arus basis transistor dan arus kolektor transistor Q_{2B}, seperti pada (4).

$$I_{E2B} = I_{B2B} + I_{C2B} \quad (4)$$

Untuk arus yang mengalir melewati R₃ diperoleh menggunakan (5).

$$I_{R3} = \frac{V_{BE3(SAT)}}{R_3} \quad (5)$$

Arus basis dari transistor Q₃, I_{B3} dihitung menggunakan (6).

$$I_{B3} = I_{E2B} - I_{R3} \quad (6)$$

Arus maksimum kolektor output low, I_{OL} transistor Q₃ dihitung menggunakan (7).

$$I_{C3(maximum)} = \beta_F I_{B3} \quad (7)$$

Arus basis transistor Q₄, I_{B4} diperoleh dengan (8).

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_D - V_o}{R_2} \quad (8)$$

Kemudian diperoleh arus input low, I_{IL}, menggunakan (9).

$$I_{IL} = \beta_R \left(\frac{V_{CC} - V_{CE3(SAT)} - V_{BE1A(SAT)}}{R_{1A}} \right) \quad (9)$$

Selanjutnya, jika semua input low, maka transistor Q_{1A} dan Q_{1B} antara basis-emitor mendapat forward bias, sedangkan arus kolektor mendapat reverse bias dari basis transistor Q_{2B}, menyebabkan transistor Q_{1A} dan Q_{1B} saturasi, sehingga transistor Q_{2B} dan Q₃ menjadi cutoff. Akibatnya arus I_{B4} cukup untuk menggerakkan transistor Q₄ bekerja, sehingga output dalam keadaan high. Saat transistor Q_{1A} dalam keadaan saturasi maka arus basis transistor Q_{1A}, I_{B1A} dihitung menggunakan (10).

$$I_{B1A} = \frac{V_{CC} - V_{BE1(SAT)}}{R_{1A}} \quad (10)$$

Nilai R₁ dapat diperoleh dengan persamaan:

$$R_1 = \beta_R \left(\frac{V_{CC} - V_{BE2(SAT)} - V_{BE3(SAT)} - V_{BC1}}{I_{IH}} \right) \quad (11)$$

Sedangkan nilai resistor R_2 diekspresikan menggunakan (12).

$$R_2 = \left(\frac{(I + \beta_F)(V_{CC} - V_{BE4} - V_{D1} - V_O)}{N \cdot I_{IH}} \right) \quad (12)$$

Nilai R_4 diperoleh dengan persamaan:

$$R_4 = \left(\frac{V_{CC} - V_{OH} - V_{CE4(SAT)} - V_{D1}}{I_{C4(MAX)}} \right) \quad (13)$$

Hasil perhitungan nilai resistor ditunjukkan pada Tabel II.

TABEL II
HASIL PERHITUNGAN NILAI RESISTOR

Simbol	Resistor (R)	Satuan
R_{1A}	4	$k\Omega$
R_{1B}	4	$k\Omega$
R_{1C}	4	$k\Omega$
R_{1D}	4	$k\Omega$
R_2	1	Ω
R_3	1,6	$k\Omega$
R_4	130	Ω

A. Karakteristik Transfer Alih Tegangan (VTC)

Perhitungan karakteristik transfer alih tegangan (VTC) standar TTL AOI parameter V_{IL} dilakukan dengan menggunakan (14) [4].

$$V_{IL} = V_{BEA} - V_{CE(SAT)} \quad (14)$$

Sedangkan perhitungan parameter V_{IH} diperoleh dari persamaan:

$$V_{IH} = 2 \cdot V_{BE(SAT)} - V_{CE(SAT)} \quad (15)$$

B. Propagation Delay

Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi (*switching*). Waktu propagasi dari penundaan ini yaitu perbedaan waktu antara titik di mana V_{IN} meningkat sampai 50% dari nilai akhir, dan saat V_{OUT} jatuh ke titik 50%. Ini disebut t_{PHL} . Dan ketika V_{IN} jatuh sampai 50% dari nilai akhir dan saat V_{OUT} menurun ke titik 50% disebut t_{PLH} [7]. *Propagation delay* didefinisikan sebagai rerata t_{PHL} dan t_{PLH} yaitu[9]:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (16)$$

Aproksimasi perhitungan untuk t_{PLH} dituliskan dengan (17) [8],[9]:

$$t_{PLH} = C_L \frac{1,7}{I_{C(max)output}} \quad (17)$$

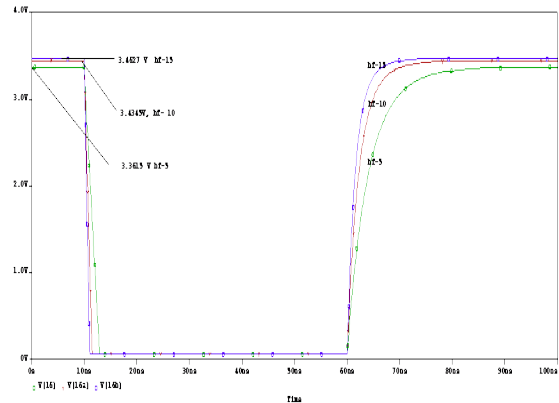
Kemudian aproksimasi perhitungan t_{PHL} didefinisikan dengan persamaan[8],[9]:

$$t_{PHL} = C_L \frac{1,7}{I_{E(average.output)}} \quad (18)$$

IV. HASIL SIMULASI DAN PEMBAHASAN

Simulasi yang telah dilakukan menggunakan perangkat lunak PSPICE meliputi simulasi karakteristik transfer alih

tegangan untuk besarnya nilai V_{IL} , V_{IH} , V_{OL} , V_{OH} , *noise margin*, dan disipasi daya. Sedangkan simulasi *propagation delay* meliputi nilai t_{PHL} , t_{PLH} . Pada simulasi VTC rangkaian diberi tegangan masukan DC sebesar 5V. Pada keadaan karakteristik β_f bernilai 5, semakin lambat waktu propagasi (*switching*) dihasilkan dibandingkan ketika $\beta_f = 10$ dan $\beta_f = 15$, ada peningkatan tegangan output (V_{OH}) sebesar 3,46V pada β_f sebesar 15. Sedangkan sedikit rendah tegangan V_{OH} pada kondisi $\beta_f = 5$, sebesar 3,36V. Kemudian terjadi peningkatan disipasi daya yang besar dengan semakin meningkatnya β_f , yaitu 10,24 mW ,18,99 mW dan 27,62 mW. Hasil simulasi *time propagation delay* TTL AOI ditunjukkan pada Gbr. 3.



Gbr. 3 Hasil simulasi *time propagation delay* TTL AOI.

Pada Tabel III dapat dilihat hasil simulasi secara keseluruhan. untuk besarnya nilai V_{IL} , V_{IH} , V_{OL} , V_{OH} , *noise margin*, dan disipasi daya, serta simulasi *propagation delay* untuk nilai t_{PHL} dan t_{PLH} .

TABEL III
HASIL SIMULASI KARAKTERISTIK FORWARD COMMON EMITTER CURRENT GAIN (β_F)

Simbol parameter	Hasil simulasi (β_f)			Unit
	5	10	15	
V_{OH}	3,36	3,43	3,46	V
V_{OL}	0,045	0,061	0,082	V
V_{IH}	1,70	1,47	1,16	V
V_{IL}	0,70	0,60	0,30	V
t_{PLH}	1,59	1,53	1,50	ns
t_{PHL}	0,81	0,77	0,75	ns
t_{PD}	1,20	1,16	1,12	ns
P_D	10,24	18,99	27,62	mW

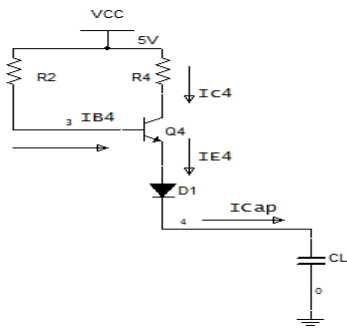
Perhitungan transisi *low to high* (t_{PLH}) standar TTL AOI dilakukan menggunakan rangkaian aktif *pull-up* sebagai acuan analisis seperti ditunjukkan pada Gbr. 4.

Pada saat $V_o = V_{CE(sat)} = 0,1$ V, arus I_{B4} diperoleh menggunakan (19) [1]:

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_D - V_o}{R_2} \quad (19)$$

I_{B4} diperoleh sebesar 2,1 mA. Saat $V_o = V_{CE(sat)} = 0,1$ V pengisian arus kapasitor ($i_{Cap} \approx I_{E4}$) dan $\beta_F = 10$ yaitu:

$$i_{Cap} \approx i_{E4} = (\beta + 1) \cdot i_{B4} = (10 + 1) \cdot 2,1 \approx 23 \text{ mA}$$



Gbr. 4 Rangkaian aktif pull-up standard TTL.

Pada saat V_o meningkat = 1,8 V, arus basis dari transistor Q_4 yaitu sebesar 1,125 mA, arus kapasitor ($i_{Cap} \approx I_{E4}$), diperoleh sebagai berikut.

$$i_{Cap} \approx i_{E4} = 11,25 \text{ mA}$$

Sehingga arus rata rata pengisian kapasitor yaitu:

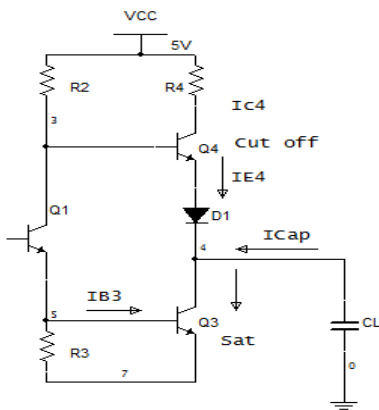
$$i_{Cap}(\text{rata - rata}) = \frac{23 \text{ mA} + 11,25 \text{ mA}}{2} \approx 17 \text{ mA}$$

Menggunakan (16), t_{PLH} , kapasitor beban (C_L) sebesar 15 pf diperoleh 1,5 ns.

$$t_{PLH} = C_L \frac{1,7}{I_{E(\text{average.output aktif pull up})}} = 15 \text{ pf} \frac{1,7}{17 \text{ mA}} = 1,50 \text{ ns}$$

Analisis untuk perhitungan menentukan propagation delay t_{PHL} dengan menganalisis arus pada rangkaian pull down ditunjukkan pada Gbr. 5. Hasilnya, diperoleh $I_{C3(\text{max})}$ yaitu:

$$I_{C3(\text{Max})} = \beta_f \cdot i_{B3} = 10 \cdot (3,2) \text{ mA} = 32 \text{ mA}$$



Gbr. 5 Rangkaian aktif pull-down standard TTL.

Perhitungan t_{PHL} dengan kapasitor beban $C_L = 15 \text{ pf}$ dilakukan menggunakan (17).

$$t_{PHL} = 15 \text{ pf} \frac{1,7}{32 \text{ mA}} = 0,79 \text{ ns}$$

Selanjutnya, time propagation delay (t_{PD}) didefinisikan sebagai rata-rata t_{PHL} dan t_{PLH} yaitu menggunakan (18):

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,79 + 1,5}{2} = 1,14 \text{ ns}$$

Diperoleh $t_{PHL} = 0,79 \text{ ns}$, sehingga didapatkan time propagation delay (t_{PD}) yaitu 1,14 ns.

V. KESIMPULAN

Kinerja rangkaian IC standar TTL AOI dual 3-wide 3-input memiliki waktu propagasi (switching) lebih cepat dengan nilai β_f sebesar 15 berdasarkan simulasi dengan beban kapasitor 15pf. Peningkatan kecepatan dibandingkan pada β_f sebesar 5 dan 10. Sedangkan hasil perhitungan waktu propagasi pada β_f sebesar 10 menghasilkan 1,14 ns, sementara dari hasil simulasi diperoleh nilai sebesar 1,16 ns. Disipasi daya (P_D) IC TTL AOI hasil perancangan jenis standard Dual 3-Wide 3-Input yang dihasilkan semakin besar dengan meningkatnya nilai β_f . Hal ini disebabkan oleh besarnya arus output yang dihasilkan.

UCAPAN TERIMA KASIH

Terimakasih disampaikan kepada Dikti P2M yang telah memberikan kepercayaan kepada kami untuk melaksanakan penelitian ini dan kepada seluruh Tim JNTETI yang telah meluangkan waktu untuk kerjasamanya.

REFERENSI

- [1] Muhammad H.Rashid, *Microelectronic Circuits: Analysis and Design*, PWS publishing company, Boston, 2011.
- [2] J.-Y. Lee, S. Singh, and J. A. Cooper, "Demonstration and characterization of bipolar monolithic integrated circuits in 4H-SiC", *IEEE Trans. Electron Devices*, vol. 55, no.8, 2008.
- [3] Singh S., and J. A. Cooper, "Bipolar integrated circuits in 4H-SiC", *IEEE Trans. Electron Devices*, PP 99, no 1, 2011.
- [4] Adel S. Sedra, Kenneth C. Smith, *Microelectronic Circuit Fifth Edition*, Oxford university press, New York, 2004.
- [5] John E Ayers, *Digital integrated circuits*, CRC Press LLC.University of Connecticut. Boca Raton London New York Washington, D.C., 2004.
- [6] Gray, Hurst, Lewis, Meyer, dkk., *Analysis and Design of Analog Integrated Circuit. fourth Edition*, John Wiley & Sons Ltd.. New York, 2001.
- [7] Kurt Hoffmann, *System Integration From Transistor Design to Large Scale Integrated Circuits*, John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester, West Sussex PO19 8SQ, England, 2004.
- [8] Richard C Jaeger, Travis N. Blalock, *Microelectronic Circuit Design, Fourth Edition*, Published by McGraw-Hill, a business unit of The McGraw-Hill Companies, Inc., 1221 Avenue of the Americas, New York, 2011.
- [9] March Cahay, ECECS 352: Electronics II, (Spring 2012), [Online].Available : <http://www.ece.uc.edu/~mcahay/>